

METHOD FOR MANUFACTURING MAGNETIC MEMORY DEVICE AND MAGNETIC MEMORY DEVICE

Publication number: JP2003324187 (A)

Publication date: 2003-11-14

Inventor(s): MOTOYOSHI MAKOTO

Applicant(s): SONY CORP

Classification:

- international: H01L27/105; G11B11/16; H01L21/00; H01L21/8246;
H01L29/82; H01L43/00; H01L43/08; H01L43/12;
H01L27/105; G11B11/00; H01L21/00; H01L21/70;
H01L29/66; H01L43/00; H01L43/08; (IPC1-7): H01L27/105;
H01L43/08

- European: H01L43/12

Application number: JP20020129509 20020501

Priority number(s): JP20020129509 20020501

Also published as:

US2004014245 (A1)

US6855563 (B2)

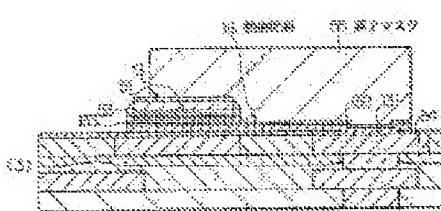
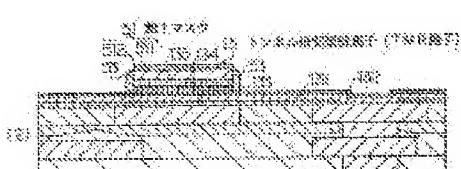
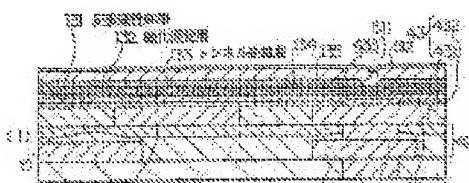
US2005062076 (A1)

US6972468 (B2)

TW228327 (B)

Abstract of JP 2003324187 (A)

PROBLEM TO BE SOLVED: To reduce the cell area of a magnetic memory device by eliminating the overlapping coverage of connecting wiring for a TMR element ; SOLUTION: In this method for manufacturing a magnetic memory device equipped with a writing word line (first wiring) 11 and a bit line (second wiring) 12 crossing it in a stereoscopic orthogonal configuration with a TMR element 13 interposed, a mask-shaped first mask 51 of the TMR element 13 is formed, and the TMR element 13 is formed with the first mask 51 as a mask, and a second mask 55 used for forming wiring for connecting the TMR element 13 to the wiring of a lower layer is formed so that at least a part of the second mask 55 can be overlapped with the first mask 51 to form the first mask 51 as one side mask of the wiring, and connecting wiring 16 for connecting the TMR element 13 and the wiring of the lower layer is formed by using the first and second masks 51 and 55 ; COPYRIGHT: (C)2004,JPO



Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-324187
(P2003-324187A)

(43)公開日 平成15年11月14日 (2003.11.14)

(51)Int.Cl.
H 0 1 L 27/105
43/08

識別記号

F I
H 0 1 L 43/08
27/10

テ-マコ-ト[®] (参考)
Z 5 F 0 8 3
4 4 7

審査請求 有 請求項の数 3 O L (全 9 頁)

(21)出願番号 特願2002-129509(P2002-129509)

(71)出願人 000002185

(22)出願日 平成14年5月1日(2002.5.1)

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 元吉 真

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

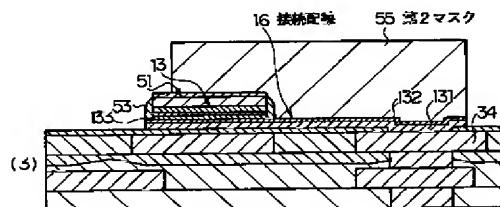
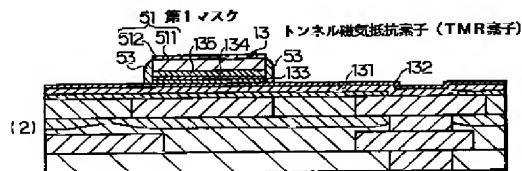
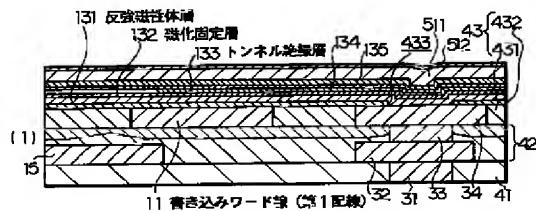
Fターム(参考) 5F083 FZ10 GA09 JA36 JA37 JA38
JA39 JA40 JA56 KA20 MA06
MA20 PR03 PR07 PR10 PR28
PR40

(54)【発明の名称】 磁気メモリ装置の製造方法および磁気メモリ装置

(57)【要約】

【課題】 TMR素子に対する接続配線の合わせ余裕を無くして磁気メモリ装置のセル面積の縮小化を図る。

【解決手段】 TMR素子13を挟んで書き込みワード線(第1配線)11とそれと立体的に直交するように交差するビット線(第2配線)12を備える磁気メモリ装置の製造方法において、TMR素子13のマスク形状となる第1マスク51を形成し、それをマスクにしてTMR素子13を形成した後、TMR素子13を下層の配線に接続させるための配線を形成するために用いる第2マスク55を第1マスク51が配線の一端側のマスクとなるように、第2マスク55の少なくとも一部を第1マスク51に重ね合わせるように形成し、第1, 第2マスク51, 55とを用いてTMR素子13を下層の配線に接続させるための接続配線16を形成することによる。



【特許請求の範囲】

【請求項1】 第1配線を形成する工程と、
トンネル絶縁層を強磁性体で挟んでなるもので前記第1
配線と電気的に絶縁されたトンネル磁気抵抗素子を形成
する工程と、
前記トンネル磁気抵抗素子と電気的に接続するもので前
記トンネル磁気抵抗素子を間にして前記第1配線と立体
的に交差する第2配線を形成する工程とを備えた不揮発
性の磁気メモリ装置の製造方法において、
前記第1配線を形成した後で前記トンネル磁気抵抗素子
を形成する前に、前記トンネル磁気抵抗素子を下層の配
線に接続させるための導電層を形成する工程と、
前記トンネル磁気抵抗素子を形成する際に前記トンネル
磁気抵抗素子上に前記トンネル磁気抵抗素子のマスク形
状となる第1マスクを形成する工程と、
前記トンネル磁気抵抗素子を形成した後、前記トンネル
磁気抵抗素子を下層の配線に接続させるための配線を形
成するために用いる第2マスクを、前記第1マスクが前
記配線の一端側のマスクとなるように、前記第2マスク
の一部を前記第1マスクに重ね合わせるように形成する
工程と、
前記第1マスクと前記第2マスクとを用いて、前記導電
層を加工して前記トンネル磁気抵抗素子を前記下層の配
線に接続させるための接続配線を形成する工程とを備
えたことを特徴とする磁気メモリ装置の製造方法。

【請求項2】 前記トンネル磁気抵抗素子の側壁に、前
記導電層を加工する際のマスクとなる絶縁膜サイドウォ
ールを形成することを特徴とする請求項1記載の磁気メ
モリ装置の製造方法。

【請求項3】 第1配線と、

前記第1配線と立体的に交差する第2配線と、
前記第1配線と電気的に絶縁され、前記第2配線と電
気的に接続されたもので、前記第1配線と前記第2配線と
の交差領域にトンネル絶縁層を強磁性体で挟んで構成さ
れるトンネル磁気抵抗素子とを備えたもので、
前記強磁性体のスピニ方向が平行もしくは反平行によ
って抵抗値が変化することを利用して情報を記憶する不揮
発性の磁気メモリ装置において、
前記トンネル磁気抵抗素子をそれよりも下層の導電体に
接続させるために用いられる配線の前記トンネル磁気抵
抗素子側の一端は、前記トンネル磁気抵抗素子と同形状
にかつ前記トンネル磁気抵抗素子上に形成されたマスク
形状を転写した状態に形成されていることを特徴とする
磁気メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気メモリ装置お
よびその製造方法に関し、詳しくは、トンネル磁気抵抗
素子〔以下、TMR (Tunnel Magneto Resistance) 素
子という〕を構成する強磁性体のスピニ方向が平行もし
くは反平行によって抵抗値が変化することを利用して情
報を記録する不揮発性の磁気メモリ装置の製造方法および磁気メモリ装置に関する。

【0002】

【従来の技術】情報通信機器、特に携帯端末などの個人
用小型機器の飛躍的な普及にともない、これを構成する
メモリ素子やロジック素子等の素子には、高集積化、高
速化、低消費電力化など、一層の高性能化が要求されて
いる。特に不揮発性メモリはユビキタス時代に必要不可
欠の素子と考えられている。

【0003】例えば、電源の消耗やトラブル、サーバーとネットワークが何らかの障害により切断された場合であ
っても、不揮発性メモリは個人の重要な情報を保護す
ることができる。そして、不揮発性メモリの高密度化、
大容量化は、可動部分の存在により本質的に小型化が不
可能なハードディスクや光ディスクを置き換える技術と
してますます重要になってきている。

【0004】また、最近の携帯機器は不要な回路ブロックをスタンバイ状態にして、できる限り消費電力を抑
えようと設計されているが、高速ネットワークメモリと
大容量ストレージメモリを兼ねることができる不揮発性
メモリが実現できれば、消費電力とメモリとの無駄を無
くすことができる。また、電源を入れると瞬時に起動で
きる、いわゆるインスタント・オン機能も高速の大容量
不揮発性メモリが実現できれば可能になってくる。

【0005】不揮発性メモリとしては、半導体を用いた
フラッシュメモリや、強誘電体を用いたFRAM (Ferroelectric Random Access Memory) などがあげられ
る。しかしながら、フラッシュメモリは、書き込み速度
が数秒の桁であるため遅いという欠点がある。一方、FRAMにおいては、書き換え可能回数が $10^{12} \sim 10^{14}$
で完全にスタティックランダムアクセスメモリやダイナ
ミックランダムアクセスメモリに置き換えるには耐久性
が低いという問題が指摘されている。また、強誘電体キ
ャパシタの微細加工が難しいという課題も指摘されて
いる。

【0006】これらの欠点を有さない不揮発性メモリと
して注目されているのが、MRAM (Magnetic Random
Access Memory) とよばれる磁気メモリである。初期の
MRAMはJ.M.Daughton, "Thin Solid Films" Vol.216
(1992), p.162-168で報告されているAMR (Anisotropic
Magneto Resistive) 効果やD.D.Tang et al., "IEDM Technical
Digest" (1997), p.995-997で報告されているG
MR (Giant Magneto Resistance) 効果を使ったスピニバ
ルズを基にしたものであった。しかし、負荷のメモリセル
抵抗が $1\Omega \sim 100\Omega$ と低いため、読み出し時のビ
ットあたりの消費電力が大きく大容量化が難しいとい
う欠点があった。

【0007】一方TMR (Tunnel Magneto Resistanc
e) 効果はR.Meservey et al., "Physics Reports" Vol.2

38(1994), p.214-217で報告されているように抵抗変化率が室温で1%~2%しかなかったが、近年T.Miyazaki et al., "J.Magnetism & Magnetic Material" Vol.139(1995), L231で報告されているように抵抗変化率20%近く得られるようになり、TMR効果を使ったMRAMに注目が集まるようになってきている。

【0008】MRAMは、構造が単純であるため高集積化が容易であり、また磁気モーメントの回転により記録を行うために、書き換え回数が大であると予測されている。またアクセス時間についても、非常に高速であることが予想され、既に100MHzで動作可能であることが、R.Scheuerlein et al., "ISSCC Digest of Technical Papers" (Feb. 2000), p.128-129で報告されている。

【0009】次に、従来型のMRAMの製造工程を図3および図4の製造工程断面図によって説明する。図3、図4では、トンネル磁気抵抗素子の形成と、それと下層の導電層とを接続する接続配線の形成方法を中心に示す。

【0010】図3の(1)に示すように、図示はしない読み出しトランジスタを覆う第1絶縁膜41が形成され、この第1絶縁膜41に読み出しトランジスタの拡散層(図示せず)に接続される第1コンタクト31が形成されている。さらに第1絶縁膜41上に、センス線15、第1コンタクト31に接続する第1ランディングパッド32等が形成され、それらを覆う第2絶縁膜42が形成されている。この第2絶縁膜42の表面は化学的機械研磨により平坦化されていて、センス線15、第1ランディングパッド32上に700nmの厚さで残されている。さらにP-SiN膜からなるマスク層(図示せず)が20nmの厚さに堆積されている。

【0011】上記マスク層上には第3絶縁膜43の下層となる絶縁膜431が形成されている。この絶縁膜431には溝配線構造の書き込みワード線11と、第1ランディングパッド32に接続される第2コンタクト33および第2ランディングパッド34などが形成されている。そして絶縁膜431の表面には、書き込みワード線11と第2ランディングパッド34などが露出されている。絶縁膜431上には、書き込みワード線11を覆う絶縁膜432が、酸化アルミニウムを50nmの厚さに堆積して形成されている。このようにして、絶縁膜431と絶縁膜432とで第3絶縁膜43が形成されている。第2ランディングパッド34上の絶縁膜432には、これから形成されるTMR素子と第2ランディングパッドとの接続を図るビアホール433が形成されている。

【0012】上記ヴィアホール433を含む上記構成の第3絶縁膜43上に、PVD(Physical Vapor Deposition)法によって、バリア層(図示せず)、反強磁性体層131、強磁性体からなる磁化固定層132、トンネル絶縁層133、強磁性体からなる記憶層134、キャップ層135を下層より順次形成する。

【0013】次に、図3の(2)に示すように、フォトレジストをマスクに反応性イオンエッチング技術でキャップ層135をエッチングした後、フォトレジストをアッティングし、このキャップ層135をマスクにして記憶層134~トンネル絶縁層133の途中までをエッチングしてTMR素子領域14を形成する。エッチングの終点はトンネル絶縁層133内で終わるように設定する。図示していないがTMR素子領域14以外の領域にもトンネル絶縁層133の酸化アルミニウム膜が残っている。エッチングガスには塩素(C1)を含んだハロゲンガス〔例えば塩素(C1₂)、三塩化ホウ素(BC1₃)等〕もしくは一酸化炭素(CO)にアンモニア(NH₃)を添加したガス系を用いる。またこのエッチングはトンネル絶縁層133上の強磁性体からなる記憶層134とトンネル絶縁層の酸化アルミニウムとのエッチングの選択比を10以上に上げるか、エッチング速度を落として薄い酸化アルミニウム膜中でエッチングを止めるようにエッチング条件を設定することが重要である。

【0014】次に図3の(3)に示すように、フォトレジストをマスクに用いた反応性イオンエッチング技術によって、残りのトンネル絶縁層(図示せず)、下層の強磁性体層である磁化固定層132、反強磁性体層131、バリア層(この図では省略)までエッチングして接続配線16を形成する。その後、レジストマスクを除去する。

【0015】次に図4の(4)に示すように、プラズマCVD法によって、TMR素子13、接続配線16等を覆うように、絶縁膜43上にシリコン酸化膜を300nmの厚さに堆積して第4絶縁膜44を形成した後、フォトレジストをマスクに用いたドライエッチングにより第4絶縁膜44にTMR素子13に達するように接続孔441を形成する。また周辺回路の下層配線(下地とTMR素子を接続するためのランディングパッドと同層)との接続孔も形成する(この図では省略)。

【0016】次に図4の(5)に示すように、標準的な配線形成技術によって、TMR素子13に接続孔441を通して接続するビット線12及び周辺回路の配線(この図では省略)、ボンディングパッド領域(この図では省略)を形成する。さらにビット線12を覆うように、第4絶縁膜44上の全面にプラズマシリコン窒素膜を堆積して第5絶縁膜45を形成した後、ボンディングパッド部(図示せず)を開口してLSIのウェーハプロセス工程を完了させる。

【0017】この製造方法では、図5に示すように、TMR素子領域を形成するために用いるマスクパターン71(2点鎖線で示す)と接続配線を形成するために用いるマスクパターン72との合わせずれ、寸法ばらつき等により、接続配線を形成する際にTMR素子13表面が露出しないようにマスクパターン72をマスクパターン

71よりも $\Delta X = 0.07\mu m \sim 0.1\mu m$ 大きくしておくことが必要である。TMR素子に与えられるデザインルールの最小寸法でデザインしても接続配線が合わせ余裕の2倍($0.14\mu m \sim 0.2\mu m$)大きくなるため、書き込みワード線11の配設方向に対してメモリセルは $0.14\mu m \sim 0.2\mu m$ 大きくなってしまう。

【0018】

【発明が解決しようとする課題】1選択素子と1TMR素子または2選択素子と2TMR素子からなるMRAMセルにおいて、セルの縮小化は高集積化にとって重要な課題である。一例として1選択素子と1TMR素子のセルレイアウトを図6に示す。

【0019】図6に示すように、セルサイズはTMR素子13、TMR素子13から引き出されるのでTMR素子13と下層の導電層(図示せず)との接続に用いられる接続配線16のデザインルールによって決まる。ここでは簡単化するために、書き込みワード線11、接続配線16、TMR素子13、ビット線12(2点鎖線で示す)の最小寸法をFとした。また、接続配線16と下層の導電層との接続のために接続孔433が形成されている。

【0020】TMR素子部の形成はTMR素子13のパターニングおよびエッチング、続いて接続配線16のパターニングおよびエッチングというように2段階で行われる。両者のエッチングは金属エッチング用ガスを使うため、図7に示すように、接続配線を形成する際のエッチングマスクとなるマスクパターン72がTMR素子13に対して例えば ΔX だけずれて、TMR素子13が露出するような状態になると、マスクパターン72より露出されたTMR素子13の部分もエッチングされ、TMR素子13の形状が変わる。TMR素子13の形状バラツキは素子特性(磁化方向を変えるような書き込み特性)に与える影響が大きいため、TMR素子13に対して接続配線を形成するためのマスクパターン72は、マスク合わせずれ、寸法バラツキ等を考慮して、TMR素子13より大きく覆うサイズに設定する必要がある。

【0021】この結果、セルサイズが大きくなり集積度が上げられないという問題があった。前記図6から明らかなように、ビット線12の配設方向に ΔX 、ビット線12と立体的に直交するように配設されている書き込みワード線11の配設方向に $\Delta X \times 2$ だけセル寸法が大きくなることが分かる。そこで本発明では、TMR素子13に対して接続配線16を形成するためのマスクパターンに寸法余裕を確保する必要性を無くし、セル寸法の縮小化を可能にする磁気メモリ装置の製造方法および磁気メモリ装置を提供することを課題とする。

【0022】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた磁気メモリ装置の製造方法および磁気メモリ装置である。

【0023】本発明の磁気メモリ装置の製造方法は、第1配線を形成する工程と、トンネル絶縁層を強磁性体で挟んでなるもので前記第1配線と電気的に絶縁されたトンネル磁気抵抗素子を形成する工程と、前記トンネル磁気抵抗素子と電気的に接続するもので前記トンネル磁気抵抗素子を間にて前記第1配線と立体的に交差する第2配線を形成する工程とを備えた不揮発性の磁気メモリ装置の製造方法において、前記第1配線を形成した後で前記トンネル磁気抵抗素子を形成する前に、前記トンネル磁気抵抗素子を下層の配線に接続させるための導電層を形成する工程と、前記トンネル磁気抵抗素子を形成する際に前記トンネル磁気抵抗素子上に前記トンネル磁気抵抗素子のマスク形状となる第1マスクを形成する工程と、前記トンネル磁気抵抗素子を形成した後、前記トンネル磁気抵抗素子を下層の配線に接続させるための接続配線を形成するために用いる第2マスクを、前記第2マスクの一部を前記第1マスクの一部に重ね合わせるように形成する工程と、前記第1マスクと前記第2マスクとを用いて、前記導電層をエッチング加工して前記トンネル磁気抵抗素子を前記下層の配線に接続させるための接続配線を形成する工程とを備えている。

【0024】上記磁気メモリ装置の製造方法では、接続配線を形成する際に、トンネル磁気抵抗素子の表面にはこのトンネル磁気抵抗素子を形成する際のマスク形状となる第1マスクが形成されていて、第1マスクが接続配線の一端側のエッチングマスクとなるように、第2マスクの一部を第1マスクに重ね合わせるようにして第2マスクを形成するため、第2マスクのマスクの合わせずれによって、トンネル磁気抵抗素子上の第1マスク表面が露出してもその下方へはエッチングが進まない。この結果、接続配線のトンネル磁気抵抗素子側端部はいわゆる自己整合的に形成されることになる。すなわち、第2マスクを形成する際に、第2マスクのトンネル磁気抵抗素子側では、合わせ余裕を見込んで設計する必要がなくなる。よって、合わせ余裕を見込む必要が無い分だけ、セルサイズを縮小することが可能になる。

【0025】本発明の磁気メモリ装置は、第1配線と、前記第1配線と立体的に交差する第2配線と、前記第1配線と電気的に絶縁され、前記第2配線と電気的に接続されたもので、前記第1配線と前記第2配線との交差領域にトンネル絶縁層を強磁性体で挟んで構成されるトンネル磁気抵抗素子とを備えたもので、前記強磁性体のスピニ方向が平行もしくは反平行によって抵抗値が変化することを利用して情報を記憶する不揮発性の磁気メモリ装置において、前記トンネル磁気抵抗素子をそれよりも下層の導電体に接続させるために用いられる配線の前記トンネル磁気抵抗素子側の一端は、前記トンネル磁気抵抗素子と同形状にかつ前記トンネル磁気抵抗素子上に形成されたマスク形状を転写した状態に形成されているものである。

【0026】上記磁気メモリ装置では、トンネル磁気抵抗素子をそれよりも下層の導電体に接続させるために用いられる配線のトンネル磁気抵抗素子側端部は、トンネル磁気抵抗素子と同形状にかつトンネル磁気抵抗素子上に形成されたマスク形状を転写した状態に形成されていることから、配線を形成する際に形成されるマスクは、トンネル磁気抵抗素子上に形成されたマスク形状に少なくとも重なるように形成すればよいため、形成しようとする配線のトンネル磁気抵抗素子側の端部では合わせ余裕を見こむ必要がない。そのため、その合わせ余裕分だけ、セル面積を縮小することが可能になる。この合わせ余裕は、主として露光装置の合わせ余裕およびエッチング精度に起因している。

【0027】

【発明の実施の形態】本発明の磁気メモリ装置の製造方法に係る一実施の形態を、図1および図2の製造工程断面図によって説明する。

【0028】図1の(1)に示すように、図示はしない読み出しトランジスタを覆う第1絶縁膜41を形成し、この第1絶縁膜41に読み出しトランジスタの拡散層(図示せず)に接続される第1コンタクト31を形成する。さらに第1絶縁膜41上に、センス線15、第1コンタクト31に接続する第1ランディングパッド32等を形成し、それらを覆う第2絶縁膜42を形成する。この第2絶縁膜42は、例えばプラズマTEOS(テトラエトキシシラン)-CVD法によって、P-TEOS膜を例えれば100nmの厚さに形成し、次いで高密度プラズマCVD(Chemical Vapor Deposition)法によりHDP膜を例えれば800nmの厚さに形成し、さらに、プラズマTEOS-CVD法によって、P-TEOS膜を例えれば1200nmの厚さに形成する。その後、化学的機械研磨によって、第2絶縁膜42を研磨、平坦化し、センス線(図示せず)、第1ランディングパッド(図示せず)上に例えれば700nmの厚さの第2絶縁膜42を残す。さらにプラズマCVD法によって、P-SiN膜からなるマスク層(図示せず)を例えれば20nmの厚さに堆積する。

【0029】次に、リソグラフィ技術とエッチング技術とを用いて、センス線15、第1ランディングパッド32上のマスク層にビアホール(図示せず)を形成する。続いてマスク層上に第3絶縁膜の下層となる絶縁膜431を形成する。この絶縁膜431には、P-TEOS膜を例えれば500nmの厚さに形成したもの要用いる。次いで、既知の溝配線技術を用いて、絶縁膜431に溝配線構造の書き込みワード線(第1配線)11を形成するとともに、第1ランディングパッド32に接続される第2コンタクト33および第2ランディングパッド34を形成する。これら、書き込みワード線11と第2コンタクト33と第2ランディングパッド34は以下のようにして形成される。例えればスパッタリングによって、チタ

ン(Ti)膜を10nmの厚さに形成し、窒化チタン(TiN)膜を30nmの厚さに形成し、さらにアルミニウム・0.5%銅合金を700nmの厚さに堆積して形成する。その後、化学的機械研磨によって、絶縁膜431上の余剰な上記金属層を除去することによる。

【0030】次に、スパッタリングによって、絶縁膜431上に上書き込みワード線11を覆う絶縁膜432を、例えれば酸化アルミニウムを50nmの厚さに堆積して形成する。このようにして、絶縁膜431と絶縁膜432とで第3絶縁膜43が形成される。なお、上記絶縁膜432は、酸化アルミニウム以外の絶縁材料(例えれば酸化シリコン、窒化シリコン等)により形成することも可能である。

【0031】次に、リソグラフィ技術とエッチング技術とによって、フォトレジスト(図示せず)をマスクにして絶縁膜432のエッチングを行い、第2ランディングパッド34上の絶縁膜432に、これから形成されるTMR素子と第2ランディングパッドとの接続を図る接続孔433を形成する。

【0032】次いで、PVD(Physical Vapor Deposition)法によって、上記接続孔433を含む第3絶縁膜43上に、バリア層(図示せず)、反強磁性体層131、強磁性体からなる磁化固定層132、トンネル絶縁層133、強磁性体からなる記憶層134、キャップ層135を下層より順次形成する。

【0033】上記バリア層には、例えれば、窒化チタン、タンタルもしくは窒化タンタルを用いる。

【0034】上記反強磁性体層131には、例えれば、鉄・マンガン合金、ニッケル・マンガン合金、白金マンガン合金、イリジウム・マンガン合金、ロジウム・マンガン合金、コバルト酸化物およびニッケル酸化物のうちの1種を用いる。この反強磁性体層131は、TMR素子13と直列に接続されるスイッチング素子との接続に用いられる導電層を兼ねることも可能である。したがって、本実施の形態では、反強磁性体層131をTMR素子13と図示していないスイッチング素子との接続配線の一部として用いている。

【0035】上記磁化固定層132には、例えれば、ニッケル、鉄もしくはコバルト、またはニッケル、鉄およびコバルトのうちの少なくとも2種からなる合金材料の強磁性体を用いる。この磁化固定層132は、反強磁性体層131と接する状態に形成されていて、磁化固定層132と反強磁性体層131との層間に働く交換相互作用によって、磁化固定層132は、強い一方向の磁気異方性を有している。すなわち、磁化固定層132は反強磁性体層131との交換結合によって磁化の方向がピニング(pinning)される。

【0036】なお、上記磁化固定層132は、導電層を挟んで磁性層を積層した構成としてもよい。例えれば、反強磁性体層131側から、第1の磁化固定層と磁性層が

反強磁性的に結合するような導電体層と第2の磁化固定層とを順に積層した構成としてもよい。この磁化固定層132は、3層以上の強磁性体層を、導電体層を挟んで積層させた構造であってもよい。上記導電体層には、例えば、ルテニウム、銅、クロム、金、銀等を用いることができる。

【0037】上記トンネル絶縁層133は、上記記憶層134と上記磁化固定層132との磁気的結合を切るとともに、トンネル電流を流すための機能を有する。そのため、通常は厚さが0.5nm～5nmの酸化アルミニウムが使われるが、例えば、酸化マグネシウム、酸化シリコン、窒化アルミニウム、窒化マグネシウム、窒化シリコン、酸化窒化アルミニウム、酸化窒化マグネシウムもしくは酸化窒化シリコンを用いてもよい。上記したようにトンネル絶縁層133の膜厚は、0.5nm～5nmと非常に薄いため、ALD (Atomic Layer Deposition) 法により形成する。もしくはスパッタリングによってアルミニウム等の金属膜を堆積した後にプラズマ酸化もしくは窒化を行って形成する。

【0038】上記記憶層134には、例えば、ニッケル、鉄もしくはコバルト、またはニッケル、鉄およびコバルトのうちの少なくとも2種からなる合金材料の強磁性体を用いる。この記憶層134は外部印加磁場によって磁化の方向が下層の磁化固定層132に対して、平行または反平行に変えることができる。

【0039】上記キャップ層135は、TMR素子と別のTMR素子とを接続する配線との相互拡散防止、接触抵抗低減および記憶層134の酸化防止という機能を有する。通常、銅、窒化タンタル、タンタル、窒化チタン等の材料により形成されている。

【0040】さらに、例えばCVD法によって、上記キャップ層135上に第1マスクを形成するための導電層511を例えばタンタルもしくは窒化タンタルを例えば50nmの厚さに堆積して形成する。次いで、例えばスパッタリングによって、エッチングマスク層512としてプラズマCVD酸化膜もしくはプラズマCVD窒化シリコンを例えば50nmの厚さに堆積して形成する。導電層511は、タンタルもしくは窒化タンタルの代わりにタングステン、窒化タングステンのような導電体でもよい。

【0041】次に、図1の(2)に示すように、リソグラフィ技術とエッチング(例えば反応性イオンエッチング)技術とにより、フォトレジスト(図示せず)をマスクにして、TMR素子13と第1マスクを形成するための積層膜(エッチングマスク層512～反強磁性体層131)をエッチング(反応性イオンエッチング)し、まずエッチングマスク層512をエッチングし、次いで導電層511をエッチング加工して、第1マスク51を形成する。

【0042】さらにキャップ層135をエッチングす

る。その後、上記フォトレジストを除去する。そして第1マスク51をエッチングマスクにして、さらに記憶層134～磁化固定層132の積層膜でTMR素子13を形成する。このエッチングでは、例えばトンネル絶縁層133から反強磁性体層131の途中でエッチングが終わるように終点を設定する。ここでは、一例としてトンネル絶縁層133の途中で終点とした。エッチングガスには塩素(C1)または臭素(Br)を含んだハロゲンガス[例えばCl₂、BCl₃、HBr等]もしくは一酸化炭素(CO)にアンモニア(NH₃)を添加したガス系を用いる。

【0043】なお、フォトレジストの除去は、エッチングマスク層512を加工した後、もしくは第1マスク51を加工した後に行つてもよい。この場合には、キャップ層135をエッチングする際に、第1マスク51のエッチングマスク512がエッチングされる。このようにすれば、レジスト除去の際に酸素が発生したとしても、トンネル絶縁層133は記憶層134に覆われているので、トンネル絶縁層133界面の強磁性体膜が酸化されてトンネル絶縁層133が厚く形成されることが防止される。

【0044】次に、上記TMR素子13を覆う状態に、プラズマCVD法によって、サイドウォールを形成するための膜としてプラズマシリコンナイトライド膜を全面に堆積する、またはスパッタリングによって酸化アルミニウム膜を全面に堆積した後、その堆積膜をエッチバックしてTMR素子13の側面に残してサイドウォール53を形成する。

【0045】次いで、図1の(3)に示すように、TMR素子13と第2ランディングパッド34とを接続するための接続配線を形成するために用いる第2マスク55を形成する。この第2マスク55は、例えばリソグラフィ技術によってレジストで形成され、TMR素子13が接続配線の一端側のエッチングマスクとなるように、第2マスク55の少なくとも一部をTMR素子13上の第1マスク51に重ね合わせるように形成する。その際、第2マスク55がずれて形成され、第1マスク51の一部が露出しても差し支えは無い。また、第2マスク55により第1マスク51が完全に覆われてもよい。図面では、第1マスク51の一部が露出している状態を示した。

【0046】その後、第2マスク55と第1マスク51とを用いたエッチング(例えば反応性イオンエッチング)技術により、TMR素子13と第2ランディングパッド34とを接続するための接続配線16を、導電層となる例えば反強磁性体層131と磁化固定層132とにより形成する。したがって、この実施の形態では接続配線16を形成するための導電層は反強磁性体層131と磁化固定層132となる。

【0047】なお、接続配線16は、反強磁性体層13

1のみを導電層として形成することも可能であり、また、反強磁性体層131の下地に、例えバルテニウム、銅、クロム、金、銀等で形成される金属層(図示せず)を形成しておいて、その金属層と反強磁性体層131、もしくは磁化固定層132までも含めて導電層として接続配線16を形成してもよい。その後、上記第2マスク55を既知のレジスト除去技術によって除去する。このとき、TMR素子13は第1マスク51および絶縁膜サイドウォール53によって覆われているので、レジスト除去の際にたとえ酸素が発生したとしても、トンネル絶縁層133上下の強磁性体膜が酸化されてトンネル絶縁層133が厚く形成されることが防止される。

【0048】次に、図2の(4)に示すように、第3絶縁膜43上に、TMR素子13、接続配線線16等を覆う第4絶縁膜44を形成する。この第4絶縁膜44は、例えCVD法もしくはPVD法によって、酸化シリコンもしくは酸化アルミニウム等で例え200nmの厚さに形成される。その後、化学的機械研磨によって第4絶縁膜44表面を平坦化研磨して、TMR素子13上の第1マスク51の上面を露出させる。ここでは、第1マスク51のエッチングマスク層512〔前記図1(2)参照〕を除去して、導電層511上面が露出するように研磨を行った。エッチングマスク層512がプラズマCVD窒化シリコンであれば、この表面が出るように研磨した後、第4絶縁膜44に対して選択比の高いエッチング条件、例えC₄F₈、SF₆で洗濯的に除去してもよい。またCMPによって窒化チタンもしくは窒化タンタルからなるエッチングマスク層512上面が露出した状態であってもよい。

【0049】また、周辺回路の下層金属層(例え、第1ランディングパッド32と同層、第2ランディングパッド34と同層)と接続する接続孔(図示せず)も、通常のリソグラフィー技術とエッチングとによって形成する。

【0050】次に、図2の(5)に示すように、一般的に知られている配線形成技術によって、ビット線(第2配線)12および周辺回路の配線(図示せず)、ボンディングパッド領域(図示せず)を形成する。このビット線12は、トンネル磁気抵抗素子13と電気的に接続し、かつトンネル磁気抵抗素子13を間に上記書き込みワード線11と立体的に交差するように形成される。さらに全面に保護膜となる第5絶縁膜45を、例えプラズマ窒化シリコン膜で形成した後、ボンディングパッド部を開口して磁気メモリ装置のウェハプロセスを完了させる。

【0051】上記説明した実施の形態で説明したように、上記第1マスク51は、後に形成されるビット線12とTMR素子13とを接続するコンタクトに用いることができる。一方、上記第1マスク51を酸化膜もしくは窒化膜で形成し、第4絶縁膜44の一部として用いて

もよい。この場合には、ビット線12をTMR素子13に接続する接続孔を形成する必要がある。または、接続配線16を形成した後に第1マスク51を除去してもよい。この場合には、上記実施の形態よりもTMR素子13にビット線12を接近させた状態に形成するが可能になり、ビット線12による書き込みがさらに容易になる。

【0052】上記製造方法では、接続配線16を形成する際に、TMR素子13の表面には第1マスク51が形成され、またTMR素子13の側壁には絶縁膜サイドウォール53が形成され、それらの膜でTMR素子13は覆われている。そのため、第2マスク55の合わせずれによって、TMR素子13上の第1マスク51表面が露出してもエッチングは第1マスクで停止され、それ以上は進まない。この結果、接続配線16のTMR素子13側端部はいわゆる自己整合的に形成されることになる。すなわち、接続配線16を形成するために形成される第2マスク55のTMR素子13側は、合わせ余裕を見込んで設計する必要がない。よって、合わせ余裕を見込む必要が無い分だけ、セルサイズを縮小することが可能になる。

【0053】また、上記実施の形態では、TMR素子13の側面に絶縁膜サイドウォール53を形成したが、自己整合的に接続配線16を形成するという目的では、絶縁膜サイドウォール53を省略することも可能である。この絶縁膜サイドウォール53は、その後の層間膜となる第4絶縁膜44を形成する際に、TMR素子13の側壁を酸化性雰囲気に晒させないという効果がある。すなわち、TMR素子13のうち、トンネル絶縁層133の上下に形成されている強磁性体からなる磁化固定層132および記憶層134が酸化して、0.5nm～5nm程度の非常に薄い膜厚で形成されているトンネル絶縁層133の膜厚が増加しないようにしている。そのため、トンネル絶縁層133の膜厚は部分的に変動することは無い。

【0054】上記磁気メモリ装置の製造方法によれば、図2の(5)に示したような本発明の磁気メモリ装置1が構成される。この磁気メモリ装置1では、トンネル磁気抵抗素子13をそれよりも下層の導電体、例え読み出しトランジスタの拡散層(図示せず)に第1、第2コンタクト31、33、第1、第2ランディングパッド32、34等を介して接続させるために用いられる接続配線16は、そのTMR素子13側端部がTMR素子13と同形状に、かつTMR素子13上に形成された第1マスク51の形状を転写した状態に形成されている。このことから、接続配線16を形成する際に形成される第2マスク55は、TMR素子13上に形成された第1マスク51の形状に少なくとも重なるように形成すればよいことになる。このため、接続配線16のTMR素子13側の端部では合わせ余裕を見込んで設計する必要がな

い。したがって、その合わせ余裕分だけ、セル面積を縮小することが可能になる。この合わせ余裕は、主として露光装置の合わせ余裕およびエッチング精度に起因する。

【0055】

【発明の効果】以上、説明したように本発明の磁気メモリ装置の製造方法によれば、トンネル磁気抵抗素子を形成する際のマスク形状となる第1マスクが接続配線の一端側のエッチングマスクとなるように、第2マスクの一部を第1マスクに重ね合わせるようにして第2マスクを形成するので、第2マスクのマスクの合わせずれによって、トンネル磁気抵抗素子上の第1マスク表面が露出してもトンネル磁気抵抗素子はエッチングされない。この結果、接続配線のトンネル磁気抵抗素子側端部はいわゆる自己整合的に形成されることになる。すなわち、第2マスクを形成する際に、第2マスクのトンネル磁気抵抗素子側では、合わせ余裕、加工寸法ばらつき等を見込んで設計する必要がなくなる。よって、合わせ余裕、加工寸法ばらつき等を見込む必要が無い分だけ、セルサイズを縮小することが可能になるので、今まで以上に高集積なMRAMを製造することが可能になる。

【0056】本発明の磁気メモリ装置によれば、トンネル磁気抵抗素子をそれよりも下層の導電体に接続させるために用いられる配線のトンネル磁気抵抗素子側端部は、トンネル磁気抵抗素子と同形状にかつトンネル磁気抵抗素子上に形成されたマスク形状を転写した状態に形成されていることから、配線を形成する際に形成されるマスクは、トンネル磁気抵抗素子上に形成されたマスク形状に少なくとも重なるように形成すればよいため、形

成しようとする配線のトンネル磁気抵抗素子側の端部では合わせ余裕、加工寸法ばらつき等を見込む必要がない。そのため、その合わせ余裕、加工寸法ばらつき等の見込み分だけ、セル面積を縮小することが可能になるので、今まで以上に高集積なMRAMを提供することが可能になる。

【図面の簡単な説明】

【図1】本発明の磁気メモリ装置の製造方法に係る一実施の形態を説明する製造工程断面図である。

【図2】本発明の磁気メモリ装置の製造方法に係る一実施の形態を説明する製造工程断面図である。

【図3】従来の磁気メモリ装置の製造方法を説明する製造工程断面図である。

【図4】従来の磁気メモリ装置の製造方法を説明する製造工程断面図である。

【図5】マスクパターンの合わせずれを説明する概略構成断面図である。

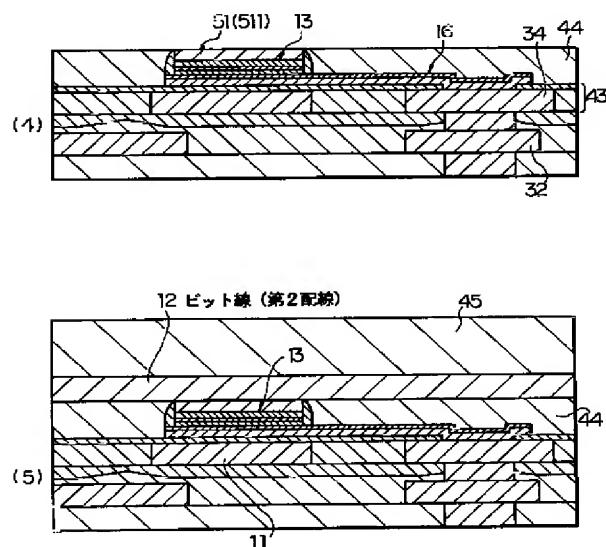
【図6】TMR素子に対する接続配線の合わせ余裕を説明するレイアウト図である。

【図7】接続配線を形成する際に用いるマスクパターンの合わせずれによる問題点を説明する概略構成断面図である。

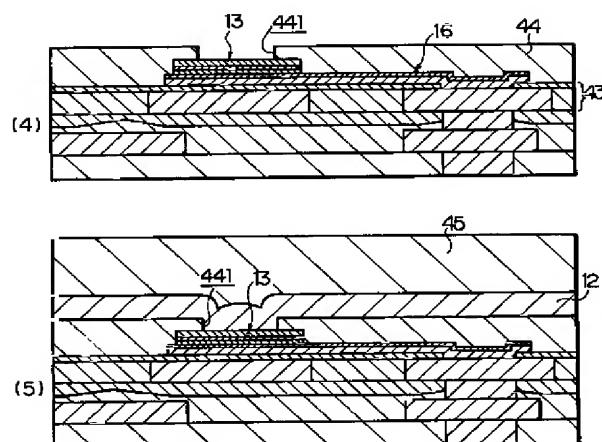
【符号の説明】

11…書き込みワード線（第1配線）、12…ビット線（第2配線）、13…トンネル磁気抵抗素子（TMR素子）、16…接続配線、131…反強磁性体層、132…磁化固定層、133…トンネル絶縁層、51…第1マスク、55…第2マスク

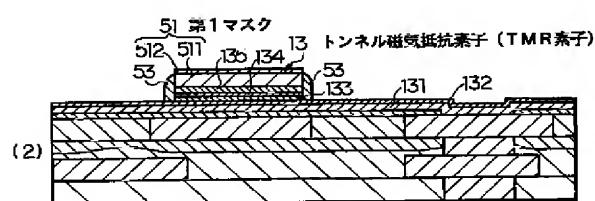
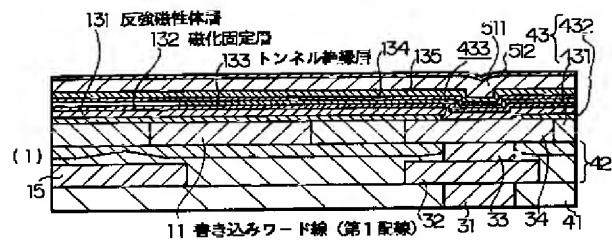
【図2】



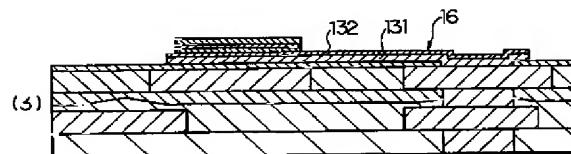
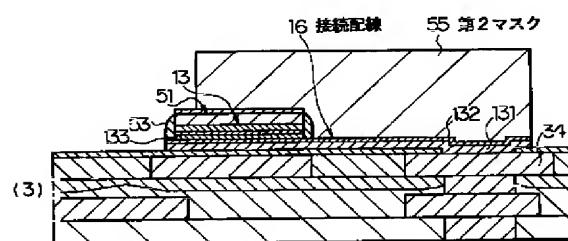
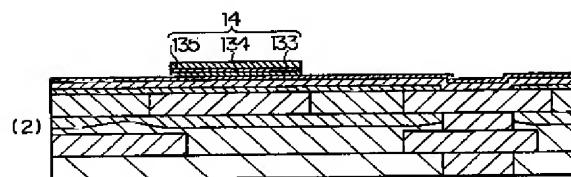
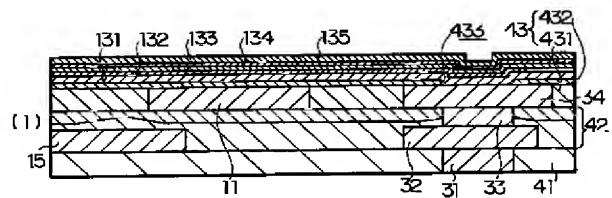
【図4】



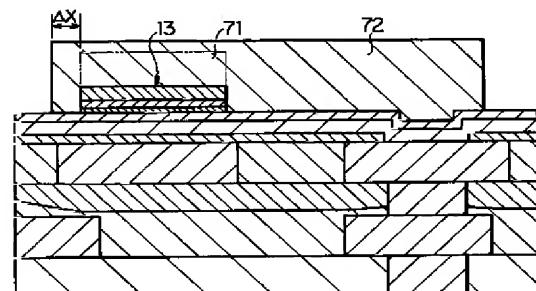
【図1】



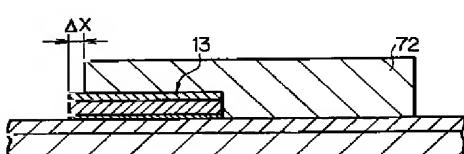
【図3】



【図5】



【図7】



【図6】

